

Porównanie szybkości działania (maksymalnego opóźnienia w nanosekundach przy przejściu sygnałów z wejść na wyjścia układu) układów kombinacyjnych syntezyowanych za pomocą pakietu WebPack firmy Xilinx (D_X) i przy wykorzystywaniu metody M5 syntezy wielopoziomowych układów kombinacyjnych z wykorzystaniem wewnętrznych pętli sprzężenia zwrotnego PLD pakietu ZUBR (D_5) dla układów rodziny XC 9500

Name	L	N	P	D_X	D_5	D_X/D_5
Alu4	14	8	1028	30,2	28,1	1,07
Apex2	39	3	1035	18,6	16,6	1,12
Apex4	9	19	438	173	175	0,99
Bw	5	28	87	8,4	18,6	0,45
Rd84	8	4	256	15,2	15,2	1,00
Sao2	10	4	58	9,1	9,1	1,00
Seq	41	35	1459	64	76	0,84
Table5	17	15	158	19,3	22,7	0,85
mid						0,92