

Porównanie szybkości działania (maksymalnego opóźnienia w nanosekundach przy przejściu sygnałów z wejść na wyjścia układu) układów kombinacyjnych syntezyowanych za pomocą pakietu WebPack firmy Xilinx (D_X) i przy wykorzystywaniu metody M5 syntezy wielopoziomowych układów kombinacyjnych z wykorzystaniem wewnętrznych pętli sprzężenia zwrotnego PLD pakietu ZUBR (D_5) dla układów rodziny VIRTEX II

Name	L	N	P	D_X	D_5	D_X/D_5
5xp1	7	10	75	12,0	11,9	1,01
B12	15	9	431	10,8	11,3	0,95
Cps	24	109	654	24,5	23,9	1,03
Ex5	8	63	256	17,6	16,5	1,07
Misex3	14	14	1848	22,9	25,2	0,91
Seq	41	35	1459	23,5	21,6	1,09
mid						1,01