

Porównanie szybkości działania (maksymalnego opóźnienia w nanosekundach części kombinacyjnej) automatów skończonych syntezyowanych za pomocą pakietu WebPack firmy Xilinx (D_x) i przy wykorzystywaniu metody A5 syntezy automatów skończonych klasy E pakietu ZUBR (D_5) dla układów rodziny VIRTEX II

Name	L	N	M	P	D_3	D_4	D_3/D_4
beecount	3	4	7	28	8,57	6,03	1,42
dk15	3	5	4	32	7,95	6,47	1,23
ex3	2	2	10	36	7,65	6,47	1,18
ex5	2	2	9	32	8,04	6,03	1,33
ex7	2	2	10	36	7,20	5,58	1,29
keyb	7	2	19	170	10,6 1	7,82	1,36
lion	2	1	4	11	7,61	5,58	1,36
lion9	2	1	9	25	7,51	5,58	1,35
mc	3	5	4	10	7,94	5,93	1,34
s27	4	1	6	34	7,66	6,47	1,18
shiftreg	1	1	8	16	6,25	5,13	1,22
tav	4	4	4	49	7,71	6,03	1,28
train11	2	1	11	25	7,63	5,58	1,37
train4	2	1	4	14	6,53	5,58	1,17
mid							1,29