

Porównanie szybkości działania (maksymalnego opóźnienia w nanosekundach części kombinacyjnej) automatów skończonych syntezyowanych za pomocą pakietu WebPack firmy Xilinx (D_x) i przy wykorzystywaniu metody A8 syntezy automatów skończonych klasy AD pakietu ZUBR (D_8) dla układów rodziny VIRTEX II

Name	L	N	M	P	D_x	D_8	D_x/D_8
beecount	3	4	7	28	8,57	6,03	1,42
dk15	3	5	4	32	7,95	6,47	1,23
dk27	1	2	7	14	6,91	5,58	1,24
ex3	2	2	10	36	7,65	6,03	1,27
ex5	2	2	9	32	8,04	6,03	1,33
ex7	2	2	10	36	7,20	5,58	1,29
lion9	2	1	9	25	7,51	5,58	1,35
s1	8	6	20	107	9,93	6,92	1,43
s27	4	1	6	34	7,66	6,02	1,27
shifreg	1	1	8	16	6,25	5,58	1,12
train11	2	1	11	25	7,63	6,03	1,27
mid							1,29