

Porównanie szybkości działania (maksymalnego opóźnienia w nanosekundach części kombinacyjnej) automatów skończonych syntezyowanych za pomocą pakietu FPGA Advantage firmy Mentor Graphics (D_M) i przy wykorzystywaniu metody A7 syntezy automatów skończonych klasy ADE pakietu ZUBR (D_7) dla układów rodziny VIRTEX II

Name	L	N	M	P	D_M	D_7	D_M/D_7
bbara	4	2	10	60	6	7	0,86
bbsse	7	7	16	56	9	10	0,90
beecount	3	4	7	28	5	7	0,71
ex2	2	2	19	72	7	10	0,70
ex3	2	2	10	36	7	7	1,00
ex4	6	9	14	21	7	8	0,88
ex5	2	2	9	32	6	6	1,00
ex7	2	2	10	36	6	5	1,20
lion9	2	1	9	25	6	5	1,20
s1	8	6	20	107	11	10	1,10
sse	7	7	16	56	9	10	0,90
train11	2	1	11	25	7	6	1,17
mid							0,97