

Politechnika Białostocka
Wydział Informatyki

mgr inż. Mirosław Puczko

**PROJEKTOWANIE GENERATORÓW TESTÓW
ORAZ ANALIZATORÓW SYGNATUR
O NISKIM POBORZE MOCY
W SAMOTESTUJĄCYCH UKŁADACH
CYFROWYCH**

Autoreferat rozprawy doktorskiej

Promotor
prof. dr hab. inż. Vyacheslav Yarmolik

Białystok 2016

Spis treści

1. Wprowadzenie	2
1.1. Aktualność tematu	2
1.2. Model mocy	3
1.3. Wbudowane samotestowanie	3
1.4. Temat rozprawy	5
2. Teza i cel rozprawy	5
3. Oryginalne osiągnięcia autora	6
4. Wyniki eksperymentalne i ich analiza	6
4.1. Metody weryfikacji poboru mocy układów BIST	7
4.2. Weryfikacja badań w środowisku WebPACK ISE	8
4.3. Weryfikacja badań w środowisku Quartus II	9
4.4. Badania poboru mocy układu generatora	10
4.5. Badania poboru mocy kompletnego układu BIST z wykorzystaniem układu generatora q nowych bitów	11
4.6. Wyniki badań	13
5. Podsumowanie	15
Literatura	17

1. Wprowadzenie

Obecny postęp w mikroelektronice sprawił, że większość układów cyfrowych o wielkiej skali integracji (VLSI – ang. *Very Large Scale of Integration*) jest wykonywana w systemie funkcjonalnym zrealizowanym na podłożu krzemowym (SoC – ang. *System On Chip*). Projektanci nie koncentrują się już głównie na zachowaniu odpowiednich proporcji wielkości układu w stosunku do realizowanych funkcji. Zmienił się także sposób testowania układów cyfrowych [Crouch, 1999]. Jeszcze do niedawna za podstawowe wskaźniki określające efektywność testowania układów cyfrowych uważano niski nakład kosztów sprzętowych na realizację testowania (ang. *low hardware overhead*), wysoką wykrywalność usterek, a także krótki czas trwania testów. Obecnie jednym z głównych czynników jest pobór mocy i problemy związane z wydzielaniem ciepła [Bushnell i Agrawal, 2000].

Zastosowanie testowania wewnątrzukładowego (BIST – ang. *Built-In Self Test*) w znaczny sposób obniża koszt testowania oraz zwiększa wykrywalność usterek, ponieważ odbywa się przy roboczych lub większych częstotliwościach pracy układu. Nie ma także potrzeby stosowania drogich zewnętrznych testerów, których koszt niejednokrotnie przewyższa cenę SoC. Największą z wad BIST jest to, że moc wydzielona w postaci ciepła podczas testowania układu jest większa od mocy wydzielonej w czasie rzeczywistej pracy [Zorian, 1993]. Testowanie powinno zagwarantować wykrycie wszystkich możliwych niesprawności i usterek, co prowadzi do znacznego wzrostu aktywności przełączeń w testowanym układzie. Podczas testowania głównym źródłem poboru mocy są układy wbudowanego samotestowania (BIST), takie jak generator testów i analizator sygnatur, które nie są wykorzystywane w czasie rzeczywistej pracy układu.

Powody zwiększonego poboru mocy podczas testowania są następujące [Bonhomme et al., 2002]:

- Efektywność testów jest wprost proporcjonalna do aktywności przełączeń w testowanym układzie – podczas testowania aktywność przełączeń wszystkich elementów jest często kilka razy większa niż podczas normalnej pracy układu.
- W celu skrócenia czasu testowania w SoC stosuje się testowanie równoległe, co powoduje nadmierne zużycie energii i znaczne zwiększenie mocy wydzielanej w postaci ciepła.
- BIST wymaga zaprojektowania dodatkowych układów, takich jak generator testów, analizator sygnatur i kontroler BIST. Układy te, wykorzystywane wyłącznie podczas testowania, zwiększają zużycie energii podczas procesu testowania.

1.1. Aktualność tematu

Tematyka ograniczania poboru mocy systemów cyfrowych jest niezwykle ważna dla współczesnej nauki, o czym świadczy liczba publikacji wydanych w latach 2010-2016. Tematowi temu poświęcono ponad 100,000 artykułów, w tym około 120 (ponad 20 w latach 2015-2015) związanych było z redukcją poboru mocy w układach samotestujących [webofknowledge].

Pobór mocy zależy od aktywności przełączeń. Jak wykazano w pracy [Girard, 2000] włączenie testów powoduje zwiększenie aktywności przełączeń, co wiąże się ze skróceniem czasu pracy baterii i zwiększeniem temperatury układu. Wymusza to stosowanie drogich systemów odprowadzających nadmiar ciepła, a to z kolei wpływa na zwiększenie kosztów produkcji układu.

Jeszcze do niedawna metody uwzględniające pobór mocy w procesie testowania układów ograniczały się przede wszystkim do [Iman i Pedram, 1997]:

- wykorzystania źródeł zasilania o większej mocy,
- zwiększenia rozmiaru układów,
- zwiększenia efektywności systemu chłodzenia,
- obniżenia częstotliwości pracy urządzenia podczas testowania.

Zwiększało to w znacznym stopniu koszty produkcji lub czas testowania oraz powodowało zmniejszenie stopnia wykrywalności usterek, ponieważ przy obniżeniu częstotliwości niektóre usterek mogły pozostać niewykryte [Iman i Pedram, 1997].

Obecnie projektanci układów cyfrowych zwracają uwagę na:

- zmniejszenie poboru mocy, która wyznacza okres autonomicznej pracy układu oraz obniżenie mocy średniej, która wyznacza temperaturę pracy SoC,
- obniżenie mocy maksymalnej, która wyznacza zapotrzebowanie układu na źródła zasilania oraz stwarza możliwość przegrzania układu.

1.2. Model mocy

Według prac [Cirit, 1987], [Tsui et al., 1995], [Wang i Roy, 1996], całkowita moc średnia to suma mocy średnich wszystkich n ścieżek układu, tj.

$$P_{av} = \frac{1}{2} \cdot U_{dd}^2 \cdot C_0 \cdot f \cdot \sum_{j=1}^n SA_j \cdot v_j. \quad (1)$$

gdzie: U_{dd} – napięcie zasilające, C_0 – pojemność ścieżki, f – częstotliwość pracy układu, SA_j – aktywność przełączeń ścieżki j , v_j – współczynnik rozgałęzienia ścieżki j .

Wyrażenie $\sum_{j=1}^n SA_j \cdot v_j$ nazywane jest ważoną aktywnością przełączeń i oznaczane jest jako WSA, tak więc wyrażenie (1) można zapisać jako:

$$P_{av} = \frac{1}{2} \cdot U_{dd}^2 \cdot C_0 \cdot f \cdot WSA. \quad (2)$$

Należy podkreślić, że jedyną zmienną składową w wyrażeniu (2) jest WSA, więc całkowita moc średnia sprowadza się do obliczenia sumy ważonej aktywności przełączeń wszystkich ścieżek układu. Miara ta jest wykorzystywana do oceny mocy wydzielanej przez układ [Yarmolik i Murashko, 2002].

1.3. Wbudowane samotestowanie

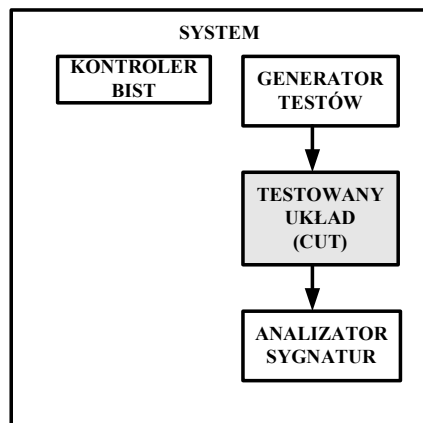
Aby wykryć uszkodzenie w układzie cyfrowym należy go przetestować. W tym celu na wejścia testowanego układu podaje się odpowiedni zbiór wektorów, zwanych testami. Następnie bada się czy odpowiedzi układu na te wektory są poprawne. Do wejść testowanego układu CUT (ang. *Circuit Under Test*) podłączony jest generator testów (ang. *Test Pattern Generator*), natomiast do wyjść analizator sygnatur (ang. *Signature Analyzer*), który sprawdza czy układ pracuje poprawnie. Najczęściej używanym układem generatora testów jest LFSR (ang. *Linear Feedback Shift Register*) [Bardel and McAnney, 1984]. W roli analizatora odpowiedzi najczęściej stosuje się rejestr MISR (ang. *Multi-Input Shift Register*) [Koenemann et al., 1980], [Hassan et al., 1983].

Podczas testowania układów kombinacyjnych kolejność podawania testów jest dowolna. Testowanie układów sekwencyjnych wymaga podania na wejścia testowanego

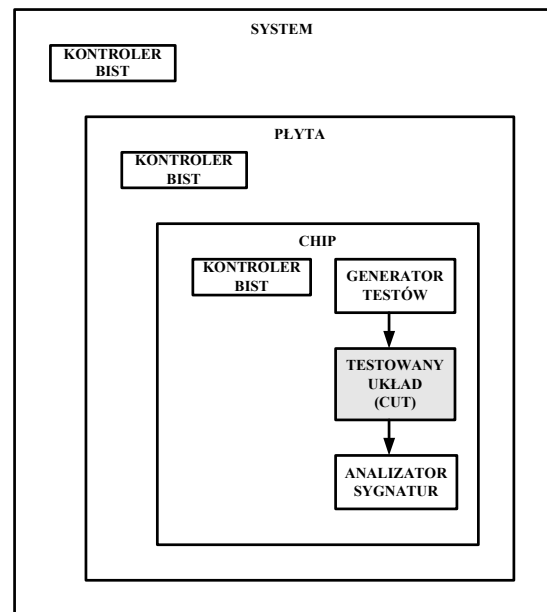
układu sekwencji testów w odpowiedniej kolejności. Stąd też testowanie układów sekwencyjnych jest bardziej złożone niż testowanie układów kombinacyjnych. Z tego powodu często na czas testowania układ sekwencyjny przekształca się w układ kombinacyjny [Hławiczka, 1993], [David, 1998].

Testowanie musi zostać przeprowadzone szybko i efektywnie. Aby to zapewnić testowanie określono, jako jedną z funkcjonalności układu cyfrowego. W taki sposób powstało wbudowane samotestowanie (ang. *self-test*), które może być implementowane programowo lub sprzętowo. W samotestowaniu programowym testowanie odbywa się na poziomie programu zarządzającego (ang. *software*). Z uwagi na swoje wady (głównie wysoki koszt) jest jednak rzadko stosowane [Agraval et al., 1993]. Alternatywą dla programowego samotestowania jest sprzętowe samotestowanie, zwane w skrócie BIST (ang. *Built-In Self Test*). BIST jest techniką ułatwiającą testowanie, która jest realizowana sprzętowo. Głównymi zaletami BIST są: duża szybkość działania i wydajność.

BIST może mieć budowę klasyczną i hierarchiczną. Klasyczna architektura BIST zawiera trzy bloki sprzętowe: generator testów, analizator sygnatur i kontroler BIST. Przykładami generatorów testów są: ROM zawierający testy, licznik, LFSR. Typowym analizatorem sygnatur jest LFSR. Kontroler BIST odpowiada głównie za włączenie/wyłączenie testowania i analizę odpowiedzi układu.



a) klasyczny BIST



b) hierarchiczny BIST

Rys. 1.1. Schematy BIST
(źródło: [Agraval et al., 1993])

Hierarchiczny BIST może zagwarantować testowanie chipów, płyt i całego systemu za pomocą tego samego kontrolera BIST (rys. 1.1.). W rozwiązaniu tym system może się składać z wielu płyt a każda płyta może zawierać wiele chipów VLSI. Kontroler BIST na poziomie systemu może włączyć jednoczesne samotestowanie na wszystkich płytach. Kontroler BIST na poziomie każdej płyty może włączyć testowanie na każdym chipie. Kontroler BIST na poziomie chipu jest odpowiedzialny za wykonanie samotestowania na chipie, a następnie za przekazanie wyników tego testowania (czy chip jest wadliwy czy też nie) do kontrolera BIST na poziomie płyty zawierającej ten chip. Kontroler BIST za poziomu płyty gromadzi wyniki testów ze

wszystkich chipów i przesyła je kontrolera BIST na poziomie systemu. Używając informacji dostarczonych przez kontroler BIST za poziomie płyty, kontroler BIST na poziomie systemu może wyłączyć błędnie działające chipy i płyty [Agraval et al., 1993].

1.4. Temat rozprawy

Rozprawa jest poświęcona badaniom nad nowymi i zmodyfikowanymi metodami i algorytmami projektowania generatorów testów oraz analizatorów sygnatur o niskim poborze mocy w samotestujących układach cyfrowych. Jednym z najważniejszych oryginalnych osiągnięć jest opracowana metoda projektowania wielowejsściowego sumatora modulo 2 o minimalnym poborze mocy. Sumator ten może zostać wykorzystany zarówno w generatorach testów jak i analizatorach sygnatur. Pozostałe opracowane metody i techniki projektowania generatorów testów oraz analizatorów sygnatur o niskim poborze mocy to: algorytm projektowania wielowejsściowego sumatora modulo 2 o minimalnej aktywności przełączeń, wykorzystując 2-wejsciowe bramki XOR dla aktywności przełączeń wejść wynoszącej 0,5, algorytm projektowania wielowejsściowego sumatora modulo 2 o minimalnej aktywności przełączeń, wykorzystując 2-wejsciowe bramki XOR dla dowolnej aktywności przełączeń wejść oraz algorytm projektowania generatora testów o niskim poborze mocy, z wykorzystaniem decymacji M -sekwencji.

Poza przedstawionymi powyżej oryginalnymi osiągnięciami zbadano możliwości wykorzystania opracowanych metod i algorytmów projektowania generatorów testów oraz analizatorów sygnatur o niskim poborze mocy w testowaniu z użyciem par wektorów testowych (ang. *two-pattern test*) oraz w generatorach kluczy w szyfrach strumieniowych (w szczególności w generatorze Geffe'go).

2. Teza i cel rozprawy

Celem pracy jest opracowanie metod i technik projektowania generatorów testów oraz analizatorów sygnatur o niskim poborze mocy w samotestujących układach cyfrowych.

Aby osiągnąć postawiony cel, sformułowano następujące zadania:

- 1) Przeanalizowanie problemu znacznego poboru mocy przez generatory testów oraz analizatory sygnatur w samotestujących układach cyfrowych.
- 2) Zbadanie obecnie stosowanych metod i technik służących do obniżania poboru mocy w generatorach testów oraz analizatorach sygnatur w samotestujących układach cyfrowych.
- 3) Opracowanie nowych metod i technik projektowania generatorów testów oraz analizatorów sygnatur o niskim poborze mocy.
- 4) Zbadanie możliwości wykorzystania opracowanych metod i technik projektowania generatorów testów oraz analizatorów sygnatur o niskim poborze mocy w testowaniu z użyciem par wektorów testowych (ang. *two-pattern test*) oraz w generatorach kluczy w szyfrach strumieniowych (w szczególności w generatorze Geffe'go).
- 5) Zbadanie wpływu wielomianu pierwotnego danego stopnia na pobór mocy w standardowych oraz nowych metodach i technikach projektowania generatorów testów oraz analizatorów sygnatur.
- 6) Porównanie poboru mocy w standardowych oraz nowych metodach i technikach projektowania generatorów testów oraz analizatorów sygnatur.

7) Zweryfikowanie obliczeń teoretycznych, z wykorzystaniem rzeczywistych układów oraz specjalistycznego oprogramowania.

Celem pracy jest udowodnienie następującej tezy:

Wykorzystując metody szybkiego generowania sekwencji o maksymalnej długości w procesie projektowania BIST, można uzyskać zmniejszenie aktywności przełączeń, a tym samym obniżyć pobór mocy przez generatory testów oraz analizatory sygnatur w samotestujących układach cyfrowych.

3. Oryginalne osiągnięcia autora

Wszystkie zaproponowane w pracy metody i algorytmy są oryginalne i mają charakter nowatorski. W rozprawie:

- 1) Opracowano nowe metody i techniki projektowania generatorów testów oraz analizatorów sygnatur o niskim poborze mocy, w tym:
 - opracowano algorytm obliczania macierzy V^q ,
 - opracowano algorytm projektowania generatora testów o niskim poborze mocy, z wykorzystaniem decymacji M -sekwencji.
 - opracowano algorytm projektowania wielowejsciowego sumatora modulo 2 o minimalnej aktywności przełączeń, wykorzystując 2-wejsciowe bramki XOR dla aktywności przełączeń wejść wynoszącej 0,5,
 - opracowano algorytm projektowania wielowejsciowego sumatora modulo 2 o minimalnej aktywności przełączeń, wykorzystując 2-wejsciowe bramki XOR dla dowolnej aktywności przełączeń wejść,
- 2) Zaproponowano metodę projektowania wielowejsciowego sumatora modulo 2 o minimalnym poborze mocy, który można wykorzystać zarówno w generatorach testów jak i analizatorach sygnatur.

4. Wyniki eksperymentalne i ich analiza

W rozprawie została zaprezentowana programowa (w języku VHDL) i sprzętowa (w układzie programowalnym) realizacja omawianych metod i algorytmów obniżania poboru mocy podczas testowania wewnątrzukładowego. Do ich realizacji wykorzystano dwa środowiska projektowania systemów cyfrowych na układach programowalnych: WebPACK ISE firmy Xilinx oraz Quartus II firmy Altera, w których wykorzystano odpowiednio układ XC2S100-*Spartan-II* FPGA oraz układ Cyclone III. Powodem wyboru pierwszego układu było posiadanie przez Wydział Informatyki Politechniki Białostockiej płyt programowalnych zawierających właśnie ten układ. Natomiast powodem wyboru układu Cyclone III była jego „popularność” oraz możliwość odniesienia uzyskanych wyników wartości poboru mocy do innych istniejących prac dotyczących wartości poboru mocy w układach samotestujących.

Dla zrealizowanych układów przeprowadzono badania określające wartość poboru mocy, którą wyznaczano za pomocą specjalizowanego oprogramowania: Xilinx XPower oraz Altera PowerPlay Power Analyzer Tool.

4.1. Metody weryfikacji poboru mocy układów BIST

Analizując literaturę dotyczącą minimalizacji poboru mocy systemów samotestowania wewnątrzukładowego BIST można wyróżnić kilka metod weryfikacji proponowanych rozwiązań. Różnią się one zarówno wyznaczaną wielkością charakteryzującą pobieraną moc, jak i blokami, dla których wyliczana jest wartość mocy.

Dodatkowe różnice wynikają m.in. z zastosowanego oprogramowania (Xilinx WebPACK ISE [Muthammal i Joseph, 2011], Altera Quartus II [Kavitha, 2012] lub innego [Liang et al., 2012][Ye i Li, 2010]) oraz sposobu prezentacji wyników (np. przedstawienie wyłącznie różnic wartości poboru mocy pomiędzy układem standardowego LFSR i zaproponowanego układu [Saraswathi et al., 2011]).

Tab. 4.1. pokazuje parametry, na których weryfikowane były metody i algorytmy zaprezentowane w innych pracach.

Tabela 4.1. Parametry, na których weryfikowane były metody i algorytmy zaprezentowane w innych pracach

1–[Ye i Li, 2010], 2–[Nourani et al., 2008], 3–[Saraswathi et al., 2011],
4–[Liang et al., 2012], 5–[Kasthuri et al., 2014], 6–[Kavitha i SasiKumar, 2014]
(źródło: opracowanie własne)

Praca	1	2	3	4	5	6
Częstotliwość [MHz]	1000	100	b.d.	100	b.d.	b.d.
Technologia	0,13 μ m	0,18 μ m	b.d.	45nm	65nm	b.d.
Rodzina układów programowalnych /układ	b.d.	b.d.	b.d.	b.d.	Xilinx Virtex 5 /XC5VLX50	b.d.
Długość ciągu testowego w bitach	b.d.	33	b.d.	20	32	8
Czas testowania [s]	b.d.	b.d.	b.d.	b.d.	b.d.	19,92

W przeważającej większości prac autorzy w badaniach biorą pod uwagę wartość mocy pobieranej wyłącznie przez jeden z bloków układu BIST (TPG lub SA) w zależności od zaproponowanego w artykule rozwiązania [Kavitha, 2012][Liang et al., 2012]. W wyjątkowych przypadkach w badaniach jest brana pod uwagę wartość poboru mocy pobieranej przez cały układ BIST [Nourani et al., 2008].

Jednocześnie widać wyraźnie znaczne braki w podawanych przez Autorów informacjach dotyczących warunków przeprowadzania badań. Duże obszary tab. 4.1 zostały wyróżnione kolorem czerwonym oznaczającym brak danych na temat parametru (w odróżnieniu od komórek wyróżnionych kolorem niebieskim informującym o umieszczeniu wartości parametru w tekście publikacji).

Układy stanowiące CUT są standardowymi układami testowymi pochodzącymi z bibliotek ISCAS'85 (układy kombinacyjne) oraz ISCAS'89 (układy sekwencyjne).

Wielkościami określającymi wartość poboru mocy stosowanymi powszechnie w literaturze są:

- moc P w [W] (lub jednostkach podwielokrotnych) [Kavitha, 2012], [Liang et al., 2012][Ye i Li, 2010],
- ważona aktywność przełączania WSA [Vijay i Chitra, 2012].

Na podstawie przedstawionych powyżej rozważań oraz biorąc pod uwagę fakt, iż metody i algorytmy przedstawione w rozdziale czwartym dotyczą tylko i wyłącznie wykorzystywanych w BIST generatora testów i analizatora sygnatur, zdecydowano się na następujące warunki przeprowadzenia badań:

- wykorzystanie dwóch środowisk projektowania systemów cyfrowych oraz analizy poboru mocy: firmy Xilinx (WebPACK ISE wraz z Xilinx XPower) i firmy Altera (Quartus II wraz z PowerPlay),
- badaniom poddano zarówno same układy TPG, jak i cały układ BIST.

4.2. Weryfikacja badań w środowisku WebPACK ISE

W celu zmniejszenia poboru mocy w zmodyfikowanej strukturze generatora testów oraz analizatora sygnatur należy generować więcej niż jeden nowy bit, z których powstanie M -sekwencja, w czasie jednego taktu zegara. Wykorzystując algorytm do generowania q nowych bitów napisano projekty w języku VHDL dla wszystkich wielomianów 5 stopnia dla liczby nowych bitów wynoszącej od 1 do 10. Następnie, z wykorzystaniem pakietu WebPACK ISE przeprowadzono syntezę układu przedstawionego w rozdziale czwartym oraz dokonano pomiaru poboru mocy na układzie FPGA Spartan-II XC2S100 w programie XPOWER.

Po stwierdzeniu, na podstawie symulatora ModelSim, że układ będzie pracował zgodnie z oczekiwaniami, tj. wygeneruje więcej niż jeden nowy bit podczas jednego taktu zegara, przystąpiono do oceny poboru mocy dla wszystkich wielomianów pierwotnych 5 stopnia. Oceny poboru mocy dokonano przy maksymalnej częstotliwości płyty XSA-100 wynoszącej 100MHz i czasie pracy 4000ns.

W Tab. 4.2. przedstawiono wyniki pomiarów poboru mocy na jeden nowy bit dla wszystkich wielomianów pierwotnych 5 stopnia dla liczby nowych bitów od 1 do 10. Pobór mocy na jeden nowy bit to pobór mocy generatora dzielony przez liczbę nowych bitów. Ponieważ standardowy generator w jednym takcie generuje jeden nowy bit więc jego pobór mocy na jeden nowy bit jest równy poborowi mocy generatora. W zmodyfikowanym generatorze natomiast należy pobór mocy generatora (w trakcie jednego taktu) podzielić przez liczbę bitów, które generator wygenerował. Z Tab. 4.2. wynika, że pobór mocy na jeden nowy bit spada z każdym nowym bitem. Taka sama sytuacja dotyczy liczby makrokomórek, natomiast liczba bloków funkcjonalnych od czterech nowych bitów utrzymuje się na stałym poziomie i wynosi 1.

Tabela 4.2. Wartość poboru mocy dynamicznej oraz liczba elementów logicznych na 1 nowy bit dla układu generującego od 2 do 10 nowych bitów dla wielomianów 5 stopnia

P [mW] – minimalne i maksymalne wartości mocy dynamicznej, LM–liczba makrokomórek, LE–liczba elementów logicznych

(źródło: opracowanie własne na podstawie algorytmu 4.3 w rozdziale 4.3)

Liczba nowych bitów	2	3	4	5	6	7	8	9	10
P [mW]	225-228	172-174	129-131	103-105	88-90	75-76	66-67	59	53-54
LM	21	14	11	9	7	6	5	5	5
LE	3	2	1	1	1	1	1	1	1

Jak wynika z Tab. 4.2. implementacja zaproponowanych algorytmów pozwala na obniżenie poboru mocy na 1 bit podczas testowania wewnątrzukładowego BIST, zarówno w generatorze TPG, jak i w analizatorze SA.

4.3. Weryfikacja badań w środowisku Quartus II

Omówiony w rozprawie algorytm do generowania q nowych bitów posłużył do przygotowania narzędzia napisanego w języku C służącego do tworzenia kodu VHDL układu generatora. Konieczność stworzenia narzędzia wynika z budowy macierzy V^q , której nie da się przygotować wyłącznie w języku VHDL.

Kod VHDL składa się z trzech plików zawierających bloki układu generatora:

- układ licznika modulo q ,
- układ generowania wartości z macierzy V^q ,
- układ generatora generującego q nowych bitów.

Jako parametry niezbędne do przygotowania plików program potrzebuje podania wielomianu pierwotnego, dla którego będzie wyznaczana macierz V^q , oraz wartości q liczby nowych bitów. Dodatkowo podawana jest nazwa projektu, która wykorzystywana jest w tworzeniu nazw plików.

Po uruchomieniu program przygotowuje trzy pliki w języku VHDL zawierające kod poszczególnych bloków układu. W praktycznych zastosowaniach pliki należy dołączyć do projektu i odpowiednio podłączyć wyprowadzenia wejściowe (sygnał taktujący i zerujący) oraz wyjściowe (wartości wygenerowanych bitów) do CUT.

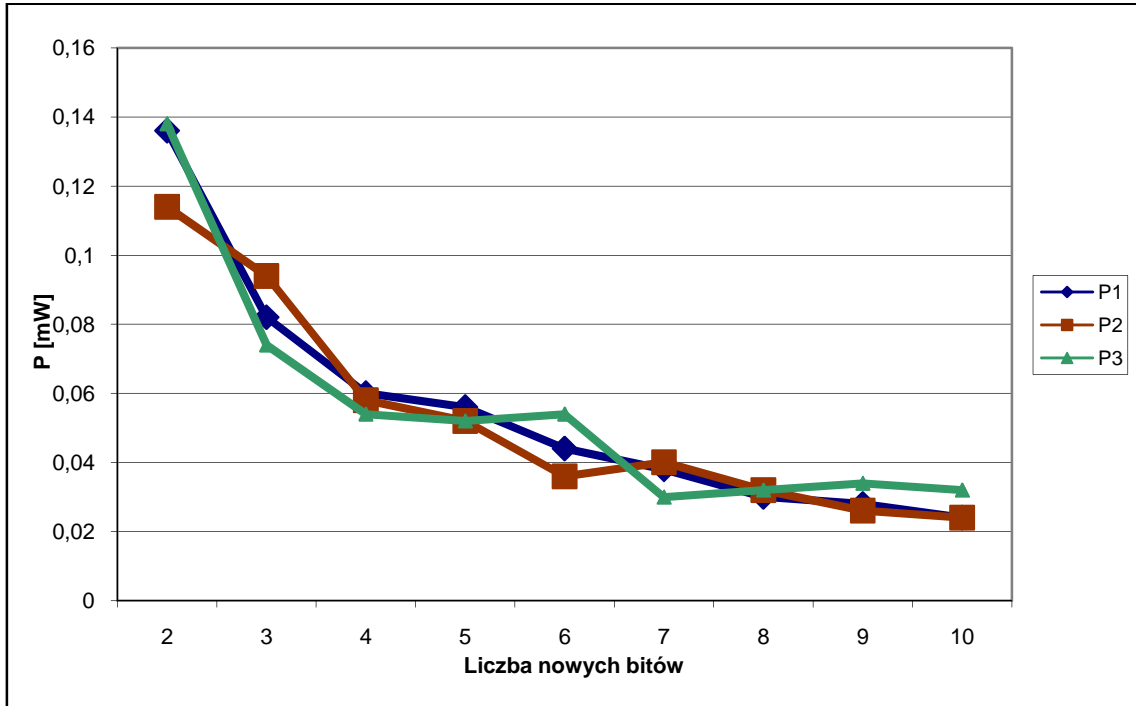
Przedstawione poniżej badania zostały przeprowadzone z wykorzystaniem oprogramowania Altera Quartus II w wersji 13.0 [altera]. Dla każdego z badanych przypadków układu (dla różnych wielomianów pierwotnych oraz dla różnej liczby nowych bitów) wygenerowano odpowiedni zbiór plików w języku VHDL za pomocą narzędzia szczegółowo opisanego w rozprawie. Każdy projekt został skompilowany z wykorzystaniem standardowych ustawień programu i wprowadzony do symulatora, który przeprowadził analizę poboru mocy układu wynikowego za pomocą wbudowanego narzędzia dostarczanego przez firmę Altera (*PowerPlay Power Analyzer Tool*). Do symulacji na wejście zegarowe został podany sygnał taktujący o częstotliwości 100MHz. Badania zostały przeprowadzone dla układu programowalnego Cyclone III należącego do rodziny układów FPGA. W analizie wzięto pod uwagę wartość mocy dynamicznej w przeliczeniu na jeden nowy bit.

Do badań wykorzystano wielomiany pierwotne 33 i 28 stopnia. Wielomian 33 stopnia pozwala na generowanie ciągu testującego dla układu *c1908* pochodzącego ze zbioru układów ISCAS'85, natomiast wielomian 28 stopnia – dla układu *s38417* pochodzącego ze zbioru ISCAS'89. Wymienione zbiory układów testowych były wykorzystywane przez większość autorów. Natomiast wybrane układy były wykorzystywane do badań w pracach (np. [Nourani et al., 2008], [Saraswathi et al., 2011]).

Wartości otrzymane w symulacji zostały zestawione z wartościami zawartymi w [Saraswathi et al., 2011] w celu weryfikacji tezy, czy proponowane rozwiązanie daje większy zysk, co do wartości mocy pobieranej przez układ LFSR.

4.4. Badania poboru mocy układu generatora

Na rys. 4.1. przedstawiono zależność wartości poboru mocy układu LFSR w zależności od liczby nowych bitów generowanych przez układ. Kolejne krzywe zostały przygotowane dla wielomianów: P1– $f(x)=1+x^4+x^6+x^{33}$, P2– $f(x)=1+x^2+x^3+x^4+x^6+x^7+x^{33}$, P3 – $f(x)=1+x^4+x^{10}+x^{19}+x^{20}+x^{23}+x^{33}$.



Rys. 4.1. Zależność wartości poboru mocy dla układu LFSR w zależności od liczby nowych bitów dla poszczególnych wielomianów:

$$P1- f(x)=1+x^4+x^6+x^{33},$$

$$P2- f(x)=1+x^2+x^3+x^4+x^6+x^7+x^{33},$$

$$P3 - f(x)=1+x^4+x^{10}+x^{19}+x^{20}+x^{23}+x^{33}$$

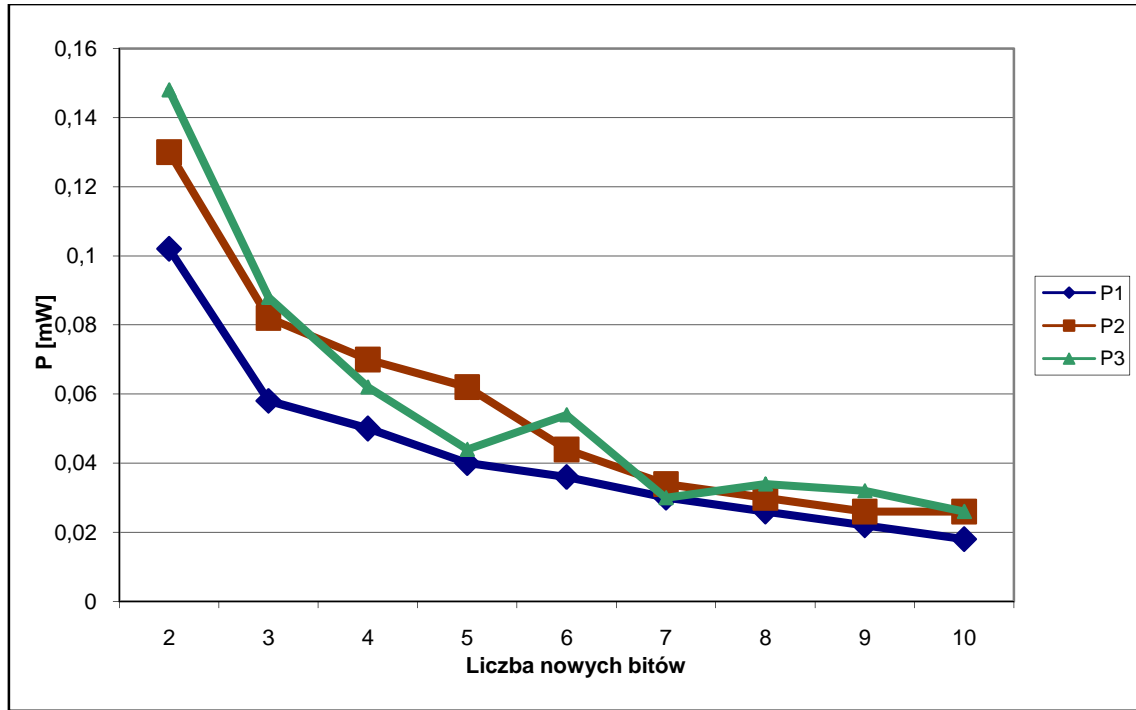
(źródło: opracowanie własne)

Na rys. 4.2. przedstawiono zależność wartości poboru mocy układu LFSR w zależności od liczby nowych bitów generowanych przez układ. Kolejne krzywe zostały przygotowane dla wielomianów: P1– $f(x)=1+x^3+x^{28}$, P2– $f(x)=1+x+x^4+x^6+x^{28}$, P3– $f(x)=1+x+x^4+x^5+x^6+x^8+x^{28}$.

Przeprowadzone badania potwierdziły bardzo wysoką skuteczność zaproponowanego rozwiązania. Zarówno dla układu na bazie wielomianu 33 stopnia, jak i układu na bazie wielomianu 28 stopnia, osiągnięto ok. 80% redukcję wartości mocy pobieranej przez układ. Wyniki otrzymane dla wielomianu 33 stopnia są porównywalne z wynikami otrzymanymi w [Saraswathi et al., 2011], natomiast dla wielomianu 28 stopnia zauważono wyraźną poprawę. Zauważono również niewielki wpływ samego wielomianu na wartość poboru mocy.

Postać wielomianu, a w szczególności liczba niezerowych współczynników, ma dość duży wpływ na liczbę elementów logicznych wykorzystywanych przez układ. Najmniejszą liczbę elementów logicznych potrzebował układ realizowany na bazie

wielomianu o najmniejszej liczbie niezerowych współczynników (dla wielomianu 33 stopnia był to wielomian $f(x)=1+x^4+x^6+x^{33}$, który wymagał od 163 do 170 elementów logicznych, natomiast dla wielomianu 28 stopnia – $f(x)=1+x^3+x^{28}$, który zajmował od 130 do 135 elementów logicznych).



Rys. 4.2. Zależność wartości poboru mocy dla układu LFSR w zależności od liczby nowych bitów dla poszczególnych wielomianów:

$$P1- f(x) = 1 + x^3 + x^{28},$$

$$P2- f(x) = 1 + x + x^4 + x^6 + x^{28},$$

$$P3- f(x) = 1 + x + x^4 + x^5 + x^6 + x^8 + x^{28}.$$

(źródło: opracowanie własne)

W większości wypadków pobór mocy malał wraz ze wzrostem liczby generowanych bitów, jednakże w kilku przypadkach (np. dla wielomianu $f(x)=1+x+x^4+x^5+x^6+x^8+x^{28}$) można było zauważyć pewne odchylenia. Dlatego w praktycznych realizacjach należy sprawdzić, które z rozwiązań pozwala na uzyskanie najmniejszej wartości poboru mocy.

Jednocześnie da się zauważyć brak korelacji pomiędzy liczbą elementów logicznych wykorzystanych do realizacji układu i liczbą niezerowych współczynników wielomianu pierwotnego.

4.5. Badania poboru mocy kompletnego układu BIST z wykorzystaniem układu generatora q nowych bitów

Przedstawione w punkcie 4.4 badania nie dają pełnego obrazu efektywności zaproponowanego rozwiązania, gdyż rzeczywisty system BIST, oprócz generatora sekwencji testowej (TPG), składa się również z układu testowanego (CUT), analizatora sygnatur (SA) oraz układu kontrolera BIST. Każdy z wymienionych bloków pobiera

energię podczas testowania i nie zawsze możliwe jest określenie całkowitej mocy na podstawie pracy tylko jednego komponentu systemu. Dlatego konieczne jest przeprowadzenie badań na całym układzie BIST zawierającym TPG, CUT oraz SA.

Do badań zostaną wykorzystane dwa układy BIST:

- układ wykorzystujący jako TPG standardowy układ LFSR,
- układ wykorzystujący jako TPG zmodyfikowany LFSR generujący q nowych bitów.

W każdym z wymienionych przypadków, jako układ CUT został wybrany układ c1908 będący standardowym układem testowym pochodzącym ze zbioru ISCAS'85. Natomiast jako analizator sygnatur zostanie zastosowany klasyczny wielowejściowy analizator sygnatur z wykorzystaniem układu LFSR.

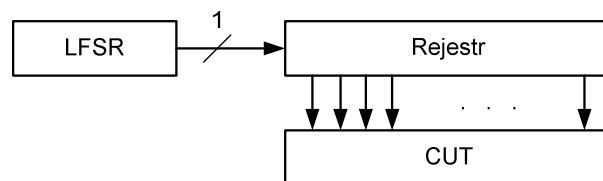
Do budowy generatora sekwencji testowej (TPG) wykorzystano układy LFSR. Testowanie opiera się na sekwencji testów pseudolosowych, zapewniającej około 90% pokrycia uszkodzeń w testowanym układzie [Hławiczka, 1993]. Sekwencję uzyskuje się na wyjściu rejestru LFSR.

Wykorzystano rejestr LFSR na bazie wielomianu pierwotnego 33 stopnia postaci $1+x^4+x^6+x^{33}$. Wielomian ten został zastosowany zarówno w przypadku standardowego układu LFSR, jak i zmodyfikowanego układu LFSR generatora q nowych bitów.

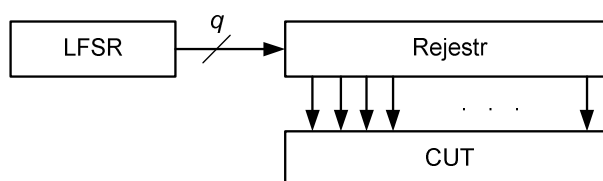
W przypadku zmodyfikowanego układu LFSR należy wybrać wartość q zgodnie z algorytmem projektowania generatora testów o niskim poborze mocy, z wykorzystaniem decymacji M -sekwencji. Ponieważ $L = 2^{33} - 1 = 8.589.934.591$, więc należy zadbać o zapewnienie warunku, aby L i q były liczbami względnie pierwszymi. Wybrano wartość $q = 8$.

Ponieważ zarówno układ standardowego, jak i zmodyfikowanego LFSR generuje ciąg pojedynczych bitów, a testowany układ posiada 33 wejścia, należy przygotować z ciągu wektor testowy podawany do wejścia układu CUT. Do tego celu wykorzystano rejestr przesuwny posiadający 33 wyjścia. Rozwiązanie takie jest stosowane w samotestowaniu opartym na skanowaniu (ang. scan-based BIST) [Murashko et al., 2004b].

Na rys. 4.3 przedstawiono schemat połączenia układu LFSR standardowego (rys. 4.3a) i zmodyfikowanego (rys. 4.3b) z rejestrem i układem testowanym (CUT). Dla układu standardowego LFSR rejestr posiada jedno wejście, czyli jest klasycznym rejestrem szeregowo-równoległym. Dla układu zmodyfikowanego LFSR rejestr posiada q wejść, które pozwalają na ustawienie wartości w q najstarszych bitach rejestru (ponieważ w układzie rozpatrywanym w niniejszym przykładzie $q = 8$, więc liczba wejść rejestru przesuwne wynosi 8).



a) wykorzystanie standardowego LFSR



b) wykorzystanie zmodyfikowanego LFSR generującego q nowych bitów

Rys. 4.3. Schemat połączenia układu LFSR z rejestrem i układem CUT
(źródło: opracowanie własne)

Układ wielowejściowego analizatora sygnatur (SA) został zbudowany w oparciu o ten sam wielomian pierwotny, co układ TPG. Układy TPG i SA zostały zapisane w języku VHDL, natomiast układ c1908, będący układem testowanym (CUT) został zapisany w języku Verilog. Wszystkie elementy zostały połączone w projekcie programu Altera Quartus II.

4.6. Wyniki badań

Układy przygotowane przez Autora zostały skompilowane z wykorzystaniem standardowych ustawień programu i wprowadzone do symulatora, który przeprowadził analizę poboru mocy układu wynikowego za pomocą wbudowanego narzędzia dostarczanego przez firmę Altera (*PowerPlay Power Analyzer Tool*). Do symulacji na wejście zegarowe został podany sygnał taktujący o częstotliwości 100MHz. Badania zostały przeprowadzone dla układu programowalnego Cyclone III należącego do rodziny układów FPGA.

Do porównań zostały wzięte wyniki przedstawione w [Nourani et al., 2008], [Kavitha i SasiKumar, 2014] oraz [Kasthuri et al., 2014]. Wyniki przedstawione w [Nourani et al., 2008] otrzymano za pomocą Synopsys Design Compiler, a w [Kavitha i SasiKumar, 2014]] – przy użyciu narzędzi Altera Quartus II oraz PowerPlay. Natomiast w [Kasthuri et al., 2014] wykorzystano narzędzia Xilinx ISE wraz z XPower.

W pracy [Nourani et al., 2008] Autor opisał architekturę układu LFSR o zmniejszonej liczbie przełączeń (Low-Transition LFSR – LT-LFSR). Architektura ta wykorzystuje dwie techniki: wstrzykiwania losowych bitów (Random-bit Injection – RI) oraz technikę Bipartite. Technika RI polega na wstawianiu pomiędzy ścieżki testowe nowej ścieżki testowej przygotowanej poprzez dodanie losowego bitu. Natomiast technika Bipartite generuje nową ścieżkę testową wykorzystując połowę jednej z dwóch danych ścieżek testowych. Zastosowanie jednocześnie obu technik pozwala na zmniejszenie o połowę częstotliwości pracy generatora sekwencji testowej. Układy testowe zostały skompilowane z wykorzystaniem kompilatora Synopsys' Design Compiler, a optymalizacja została przeprowadzona dla technologii 0.18 μ m. Pomiar mocy odbywał się za pomocą narzędzia PrimePower dla napięcia zasilającego o wartości 1.8V. Nie podano częstotliwości pracy układu, przy której dokonywano pomiarów. Nie wskazano również wersji oprogramowania zastosowanego przy badaniach. Wyniki zaprezentowane w pracy odnoszą się do całego układu BIST.

W pracy [Kavitha i SasiKumar, 2014] Autor zaproponował zastosowanie zmiany porządku ścieżki testowej w celu zmniejszenia aktywności przełączania. Wykorzystał do tego celu odległość Hamminga pomiędzy sąsiednimi ścieżkami testowymi. Zmniejszenie odległości Hamminga zmniejsza liczbę przełączeń, a co za tym idzie skutkuje w zmniejszeniu mocy pobieranej przez układ testowany. Badania zostały przeprowadzone z wykorzystaniem środowiska Quartus II w wersji 9.1, a pobór energii został zmierzony za pomocą narzędzia PowerPlay Power Analyzer Tool. Nie podano więcej szczegółów dotyczących warunków przeprowadzania badań, w tym wartości napięcia zasilającego, częstotliwości pracy i zastosowanej technologii. Można się jedynie domyślać, że wykorzystano wyłącznie oprogramowanie dostarczane wraz z pakietem Quartus II. Również wersja oprogramowania (9.1 z listopada 2009 r.) jest dość przestarzała (obecnie wydawana wersja to 15.0 z maja 2015 r.). Wyniki zaprezentowane w pracy odnoszą się do całego układu BIST.

W pracy [Kasthuri et al., 2014] Autor zaproponował hybrydowy układ LFSR, który wykorzystuje zwykły LFSR na bazie wielomianu pierwotnego oraz dekodek

z kodu binarnego do kodu nadmiarowego „excess 4”. Wyjściowy ciąg po zmianie kodowania nie traci pożądanych właściwości (w tym np. pseudolosowości), natomiast powoduje zmniejszenie aktywności przełączania w układzie testowanym. Badania zostały przeprowadzone z wykorzystaniem środowiska Xilinx WebPack ISE (do przygotowania i skompilowania układów) oraz Xilinx X-Power Analyzer Tool (do przeprowadzenia pomiarów poboru mocy). Do testów wykorzystano układ XC5VLX50 z rodziny Virtex5. Autor nie podał częstotliwości, dla której przeprowadzono obliczenia, ani wartości napięcia zasilającego (można się domyślać, że narzędzia biorą pod uwagę w obliczeniach wartość katalogową napięcia zasilającego układ Virtex5). Wyniki zaprezentowane w pracy odnoszą się do całego układu BIST.

Wyniki badań zostały przedstawione w tab. 4.3 [Puczko, 2015a]. W kolumnie „ P_{STAND} ” zebrano wartości poboru mocy w miliwatach dla układu BIST z TPG wykorzystującym standardowy układ LFSR; kolumna „ P_{NOUR08} ” zawiera wartość mocy podaną w [Nourani et al., 2008] dla układu BIST testującego układ *c1908*; kolumna „ P_{KAVI14} ” zawiera wartość mocy podaną w [Kavitha i SasiKumar, 2014] dla układu BIST testującego układ *c1908*; kolumna „ P_{KASTI4} ” zawiera wartość mocy podaną w [Kasthuri et al., 2014] dla układu BIST testującego układ *c1908*; kolumna „ P_{MODIF} ” zawiera wartości poboru mocy dla układu BIST z TPG wykorzystującym zmodyfikowany układ LFSR generujący q nowych bitów.

Tabela 4.3. Wyniki badań układu BIST
(źródło: opracowanie własne)

P_{STAND} [mW]	P_{NOUR08} [mW]	P_{KAVI14} [mW]	P_{KASTI4} [mW]	P_{MODIF} [mW]
5,43	1,40	2,27	34,04	5,24

Wyniki przedstawione w tab. 4.3. potwierdzają zasadność zastosowania zmodyfikowanego układu TPG z wykorzystaniem zmodyfikowanego układu LFSR generującego q nowych bitów do zmniejszenia poboru mocy układu BIST. Moc dynamiczna układu zmodyfikowanego wynosiła 5,24 mW, co oznacza zmniejszenie wartości o 3,5% w porównaniu ze standardowym układem LFSR.

W tab. 4.4. przedstawiono wartości określające stosunek wartości mocy dla układu BIST wykorzystującego zmodyfikowany LFSR do wartości mocy uzyskanej przez innych autorów (dane z tab. 4.3). Kolumna „Rodzaj mocy” zawiera rodzaj wyliczanej mocy, którą jest wyłącznie moc dynamiczna; w kolumnie „ P_{MODIF}/P_{STAND} ” przedstawiono stosunek wartości mocy układu zmodyfikowanego do standardowego (wyrażony w procentach); w kolumnie „ P_{MODIF}/P_{NOUR08} ” przedstawiono stosunek wartości mocy układu zmodyfikowanego do wartości z [Nourani et al., 2008] (wyrażony w procentach); w kolumnie „ P_{MODIF}/P_{KAVI14} ” przedstawiono stosunek wartości mocy układu zmodyfikowanego do wartości z [Kavitha i SasiKumar, 2014] (wyrażony w procentach); w kolumnie „ P_{MODIF}/P_{KASTI4} ” przedstawiono stosunek wartości mocy układu zmodyfikowanego do wartości z [Kasthuri et al., 2014] (wyrażony w procentach).

Tabela 4.4. Wyniki badań układu BIST
(źródło: opracowanie własne)

Rodzaj mocy	P_{MODIF}/P_{STAND} [%]	P_{MODIF}/P_{NOUR08} [%]	P_{MODIF}/P_{KAVI14} [%]	P_{MODIF}/P_{KASTI4} [%]
dynamiczna	96,5	374,3	230,8	15,4

W porównaniu z układem LT-LFSR (Low Transitions LFSR) opisanym w [Nourani et al., 2008] należy zauważyć, iż wartość mocy układu z TPG wykorzystującym zmodyfikowany LFSR generującym q nowych bitów jest znacznie większa i stanowi 374,3% wartości mocy układu z LT-LFSR. Podobnie przedstawia się sytuacja z układem wykorzystującym algorytm Floyd opisanym w [Kavitha i SasiKumar, 2014], gdzie moc zmodyfikowanego LFSR zwiększyła się do ponad 230% wartości układu wykorzystującego algorytm Floyd. Jednakże porównując do układu z [Kasthuri et al., 2014] wartość mocy zmodyfikowanego LFSR generującego q nowych bitów wynosiła tylko 15,4% [Puczko, 2015b].

Wyniki przedstawione w tab. 4.3 i 4.4 nie dają jednoznacznej odpowiedzi, czy zaproponowane rozwiązanie jest zawsze i bezwzględnie skuteczne. Potwierdzają duże możliwości proponowanej architektury (porównanie z układem zaproponowanym w [Kasthuri et al., 2014]), ale też wskazują, iż są rozwiązania mogące skutecznie konkurować z propozycją Autora ([Nourani et al., 2008] i [Kavitha i SasiKumar, 2014]).

Przedstawione w niniejszym rozdziale wyniki badań stanowią podstawę stwierdzenia, iż zastosowanie zmodyfikowanego LFSR pozwala na redukcję poboru mocy układów samotestowania wewnątrzukładowego BIST. Jednakże zaproponowana metoda nie jest pozbawiona wad. Jej stosowanie należy ograniczyć do generatorów sekwencji testowej, w których generowane jest jak najwięcej bitów jednocześnie. Przygotowanie takiego układu może być jednak bardzo czasochłonne (np. ze względu na konieczność przeprowadzenia dość skomplikowanych obliczeń niezbędnych do stworzenia macierzy V^q) co może utrudnić lub nawet uniemożliwić wykorzystanie takiego generatora. Dodatkowo proponowane rozwiązanie wymaga większej liczby elementów do pełnej realizacji BIST (np. dodatkowy rejestr PISO). Powoduje to zwiększone zużycie ograniczonych zasobów układu i może prowadzić do wyczerpania elementów logicznych w układzie FPGA i braku możliwości realizacji układu samotestowania wewnątrzukładowego.

5. Podsumowanie

W rozprawie przedstawiono wyniki badań nad nowymi i zmodyfikowanymi metodami i algorytmami projektowania generatorów testów oraz analizatorów sygnatur o niskim poborze mocy w samotestujących układach cyfrowych [Puczko, 2013], [Puczko, 2015a], [Puczko, 2015b]. Głównymi rezultatami pracy są:

- algorytm obliczania macierzy V^q ,
- algorytm projektowania generatora testów o niskim poborze mocy, z wykorzystaniem decymacji M -sekwencji,
- metoda projektowania wielowejsciowego sumatora modulo 2 o minimalnym poborze mocy,
- algorytm projektowania wielowejsciowego sumatora modulo 2 o minimalnej aktywności przełączeń, wykorzystując 2-wejsciowe bramki XOR dla aktywności przełączeń wejść wynoszącej 0,5,
- algorytm projektowania wielowejsciowego sumatora modulo 2 o minimalnej aktywności przełączeń, wykorzystując 2-wejsciowe bramki XOR dla dowolnej aktywności przełączeń wejść,
- implementacja proponowanych rozwiązań w układzie programowalnym.

Ponadto:

- 1) Przeanalizowano problem znacznego poboru mocy przez generatory testów oraz analizatory sygnatur w samotestujących układach cyfrowych. W tym celu dokonano

przeglądu zagadnień związanych z poborem mocy współczesnych układów cyfrowych, źródła poboru mocy oraz metody szacowania poboru mocy dynamicznej i statycznej.

- 2) Zbadano stosowane powszechnie metody i techniki służące do obniżania poboru mocy w generatorach testów oraz analizatorach sygnatur w samotestujących układach cyfrowych.
- 3) Zaproponowano metodę projektowania wielowejściowego sumatora modulo 2 o minimalnym poborze mocy, który to jest wykorzystywany zarówno w generatorach testów jak i analizatorach sygnatur,
- 4) Opracowano nowe metody i techniki projektowania generatorów testów oraz analizatorów sygnatur o niskim poborze mocy, w tym:
 - opracowano algorytm projektowania wielowejściowego sumatora modulo 2 o minimalnej aktywności przełączeń, wykorzystując 2–wejściowe bramki XOR dla aktywności przełączeń wejść wynoszącej 0,5,
 - opracowano algorytm projektowania wielowejściowego sumatora modulo 2 o minimalnej aktywności przełączeń, wykorzystując 2–wejściowe bramki XOR dla dowolnej aktywności przełączeń wejść,
 - opracowano algorytm obliczania macierzy V^q ,
 - opracowano algorytm projektowania generatora testów o niskim poborze mocy, z wykorzystaniem decymacji M –sekwencji.
- 5) Zbadano możliwości wykorzystania opracowanych metod i algorytmów projektowania generatorów testów oraz analizatorów sygnatur o niskim poborze mocy w testowaniu z użyciem par wektorów testowych (ang. two-pattern test) oraz w generatorach kluczy w szyfrach strumieniowych (w szczególności w generatorze Geffe' go).
- 6) Zbadano wpływ stopnia i liczby niezerowych współczynników wielomianu pierwotnego danego stopnia na pobór mocy w standardowych oraz nowych metodach i technikach projektowania generatorów testów oraz analizatorów sygnatur.
- 7) Porównano pobór mocy w standardowych oraz nowych metodach i technikach projektowania generatorów testów oraz analizatorów sygnatur.
- 8) Zaimplementowano układy testowe z wykorzystaniem opracowanych metod i algorytmów w układach programalnych w celu weryfikacji wiarygodności i efektywności proponowanych rozwiązań.
- 9) Zweryfikowano obliczenia teoretyczne z wykorzystaniem rzeczywistych układów oraz specjalistycznego oprogramowania.
- 10) Otrzymane rezultaty potwierdziły postawioną we wstępie pracy tezę, że wykorzystując metody szybkiego generowania sekwencji o maksymalnej długości w procesie projektowania BIST, można uzyskać zmniejszenie ważonej aktywności przełączeń, a tym samym obniżyć pobór mocy przez generatory testów oraz analizatory sygnatur w samotestujących układach cyfrowych.

Uzyskane w rozprawie wyniki wprowadzają podstawy teoretyczne i nową metodologię projektowania generatorów testów i analizatorów sygnatur o niskim poborze mocy w samotestujących układach cyfrowych, a zaproponowane metody i techniki podnoszą ich wydajność ze względu na pobór mocy.

Na podstawie przeprowadzonych badań można uznać, że teza postawiona w rozprawie została potwierdzona.

Literatura

- Abdallatif et al., 2009 Abdallatif S., Abu-Issa, and Steven F. Quigley S.F.: *Bit-Swapping LFSR and Scan-Chain Ordering: A Novel Technique for Peak- and Average-Power Reduction in Scan-Based BIST*, IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, VOL. 28, NO. 5, MAY 2009, pp. 755-759.
- Agraval et al., 1993 Agraval V.D., Kime C.R., Saluja K.K.: *A tutorial on Built-In Self Test-Part 1-Principles*, Design&Test of Computers, March 1993, pp. 73-92.
- Bardel and McAnney, 1984 Bardel P.H., McAnney W.H.: *Parallel pseudo-random sequences for built-in test*, Proc. of International Test Conference (ITC), 1984, pp. 302-308
- Bonhomme et al., 2002 Bonhomme Y., Girard P., Landrault C., Pravossoudovitch S.: *Test Power: a Big Issue in Large SoC Designs*, 1st IEEE International Workshop on Electronic Design, Test and Applications, DELTA'2002.
- Bushnell i Agrawal, 2000 Bushnell M.L., Agrawal V.D.: *Essentials of Electronic Testing*, Kluwer Academic Publ., Boston, 2000.
- Cirit, 1987 Cirit M.A.: *Estimating Dynamic Power Consumption of CMOS Circuits*, ACM/IEEE International Conference on CAD, November 1987, pp. 534-537.
- Crouch, 1999 Crouch A.: *Design-for-test for Digital IC's and Embedded Core Systems*, Prentice Hall, 1999.
- David, 1998 David R.: *Random testing of digital circuits. Theory and Applications*, Marcel Dekker, Inc., New York, 1998.
- Girard, 2000 Girard P.: *Low Power testing of VLSI Circuits: Problems and Solutions*, IEEE International Symposium on Quality of Electronic Design, March 2000, pp. 173-179.
- Hassan et al., 1983 Hassan S.Z., Lu D.J., McCluskey E.: *Parallel Signatur Analyzers Detection Capability and Extensions*, Proc. of COMPCON, Sprong 1983, pp. 440-445.
- Hławiczka, 1993 Hławiczka A. Praca zbiorowa: *Łatwo testowalne układy i pakiety cyfrowe*, WNT, Warszawa, 1993.
- Iman i Pedram, 1997 Iman S., Pedram M.: *Logic synthesis for low power VLSI designs*, Kluwer Academic Publishers, Boston, 1997.
- Kasthuri et al., 2014 Kasthuri M., Govindaraj V.: *A new low power BIST using hybrid LFSR*, International Journal of VLSI and Embedded Systems IJVES, Vol. 05, 2014, pp. 851-854.
- Kavitha, 2012 Kavitha A., G. Seetharaman A., Prabakar T.N.: *Design of Low Power TPG Using LP-LFSR*, Third International Conference on Intelligent Systems Modelling and Simulation, 2012, pp. 334-338.
- Kavitha i SasiKumar, 2014 Kavitha A., SasiKumar S.: *Minimizing switching activities through reordering algorithm for efficient power management*, Journal of Scientific & Industrial Research, Vol. 73, June 2014, pp. 421-426.

- Koenemann et al., 1980 Koenemann B., Mucha J., Zweichoff G.: *Built-In Test for complex digital integrated circuits*, IEEE Journal of Solid-State Circuits, Vol. S.C.-15, No. 3, June 1980, pp. 315-319.
- Liang et al., 2012 Liang F., Zhang L., Lei S., Zhang G., Gao K., Liang B.: *Test Patterns of Multiple SIC Vectors: Theory and Application in BIST Schemes*, IEEE Transactions on Very Large Scale Integration (VLSI) SYSTEMS, 2012.
- Nourani et al., 2008 Nourani M., Tehranipoor M., Ahmed N., *Low-Transition Test Pattern Generation for BIST-Based Applications*. IEEE Transactions on Computers, Vol. 57, No. 3, March 2008, pp. 303-315.
- Murashko et al., 2004b Murashko I., Yarmolik V.N., Puczko M.: *The power consumption reducing technique of the pseudo-random test pattern generator and the signature analyzer for the built-in self-test*, Visnik Nacional'nogo Universitetu "L'viv's'ka Politehnika", 2004, No. 501, pp. 47-56.
- Muthammal i Joseph, 2011 Muthammal R., Joseph K O: *Low Power Efficient Built in Self Test*, Microwaves, Communications, Antennas and Electronics Systems (COMCAS), 2011 IEEE International Conference, 2011, pp. 1-5.
- Puczko, 2013 Puczko M., *TPG and SA with low Power consumption*, Pomiar Automatyka Kontrola, 2013, No. 10, pp. 1040-1045.
- Puczko, 2015a Puczko M.: *Low Power consumption in BIST*, artykuł recenzowany i przyjęty do publikacji na The 18th Conference on Reconfigurable Ubiquitous Computing (RUC 2015), publikacja ma się pojawić w Pomiar Automatyka Kontrola Jan. 2016, vol. 61, no. 01.
- Puczko, 2015b Puczko M., *Low power Test Pattern Generator for BIST*, artykuł recenzowany i przyjęty do publikacji na Wybrane Zagadnienia Elektrotechniki i Elektroniki (WZEE 2015), publikacja ma się pojawić w bazie IEEE.
- Saraswathi et al., 2011 Saraswathi.T, Ragini.K, Ganapathy Reddy.Ch: *A Review on Power optimization of Linear Feedback Shift Register (LFSR) for Low Power Built In Self Test (BIST)*, Electronics Computer Technology (ICECT), 2011 3rd International Conference, 2011, pp.172-176.
- Tsui et al., 1995 Tsui C-Y. et al.: *Power estimation for sequential logic circuits*, IEEE Transaction on VLSI Systems, 1995, Vol. 3, No. 3, pp. 404-416.
- Vijay i Chitra, 2012 Vijay R., Chitra S.: *Power Reduction in Scan Based BIST Using BS-LFSR and Scan-Chain Ordering*, IEEE- International Conference On Advances In Engineering, Science And Management (ICAESM - 2012) March 30, 31, 2012, pp. 534-540.
- Wang i Roy, 1996 Wang Y., Roy K.: *Maximum power estimation for CMOS circuits using deterministic and statistical approaches*, IEEE VLSI Conference, 1996.
- Yarmolik i Murashko, 2002 Yarmolik V.N., Murashko I.: *A peak-power estimation for digital circuits design*, 5th International Conference: New Information Technologies, NITe'2002, Minsk, 2002, pp. 34-38.
- Ye i Li, 2010 Ye B., Li T-W.: *A Novel BIST Scheme for Low Power Testing*, Computer Science and Information Technology (ICCSIT), 2010 3rd

IEEE International Conference, 2010, pp. 134-137.
Zorian, 1993 Zorian Y.: *A Distributed BIST Control Scheme for Complex VLSI Devices*, 11th IEEE VLSI Test Symposium, May 1993, pp. 4-9.
altera Altera, <http://www.altera.com>
webofknowledge <http://www.webofknowledge.com>